

87117701

「台湾、中国出願用明細書」

「アンダーラインは、国内出願明細書との相違点である」

【書類名】 明細書

【発明の名称】 クロック生成回路及びクロック生成方法

【特許請求の範囲】

【請求項1】 入力クロックの周波数を逡倍して、逡倍クロックを生成する逡倍手段と、

上記入力クロックと分周クロックとの間の位相差を検出し、上記逡倍手段により生成された逡倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成する位相同期手段と、

上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生成する分周手段と

を備えたクロック生成回路。

【請求項2】 上記分周手段は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであることを特徴とする請求項1記載のクロック生成回路。

【請求項3】 上記分周手段は、上記位相同期クロックを分周する分周回路と、この位相同期クロックに上記分周回路の遅延を付加する遅延付加手段とを備えた請求項1記載のクロック生成回路。

【請求項4】 上記分周手段は、上記分周回路により生成された分周クロック又は遅延付加手段により遅延が付加された位相同期クロックの何れか一方を上記分周手段の出力として選択する選択手段を設けたことを特徴とする請求項3記載のクロック生成回路。

【請求項5】 上記逡倍手段は、逡倍数切替信号にしたがって上記逡倍クロックの逡倍数を切り替えることを特徴とする請求項1記載のクロック生成回路。

【請求項6】 上記逡倍手段は、

上記通倍クロックを生成するリングオシレータと、  
上記通倍クロックのパルス数をカウントするカウンタと、  
そのパルス数が通倍数に一致すると、上記リングオシレータにおける通倍クロックの生成処理を停止する停止回路と  
を具備することを特徴とする請求項5記載のクロック生成回路。

【請求項7】  $n$ 、 $m$ を1より大きい自然数として、上記通倍手段は $n$ 通倍クロックを生成し、上記分周手段は $n$ 通倍クロックを $m$ 分周することを特徴とする請求項6記載のクロック生成回路。

【請求項8】 上記リングオシレータは、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項7記載のクロック生成回路。

【請求項9】 上記リングオシレータは、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項7記載のクロック生成回路。

【請求項10】 位相同期手段は、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項1から請求項9のうちのいずれか1項記載のクロック生成回路。

【請求項11】 位相同期手段は、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項1から請求項9のうちのいずれか1項記載のクロック生成回路。

【請求項12】 (a) 入力クロックの周波数を通倍して、通倍クロックを生成するステップと、

(b) 上記入力クロックと分周クロックとの間の位相差を検出し、上記通倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成するステップと、

(c) 上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生

成するステップと

を備えたクロック生成方法。

【請求項 1 3】 上記ステップ (c) は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであることを特徴とする請求項 1 2 記載のクロック生成方法。

【請求項 1 4】 上記ステップ (a) は、逡倍数切替信号にしたがって上記逡倍クロックの逡倍数を切り替えることを特徴とする請求項 1 2 または 1 3 記載のクロック生成方法。

【発明の詳細な説明】

【発明の属する技術分野】

この発明は、入力クロックと同周期の分周クロック又は逡倍クロックを生成するクロック生成回路及びクロック生成方法に関するものである。

【従来の技術】

図 1.0 は例えば信学技報 Vol. 97, No 106 (1997 年 6 月発行) の第 29 頁～第 36 頁に示された従来のクロック生成回路を示す構成図であり、図において、1 は入力クロックの周波数を逡倍して、逡倍クロックを生成する逡倍回路、2 は逡倍クロックを遅延するデジタルディレイライン 3 を用いて構成されたリングオシレータ、3 はリングオシレータ 2 のデジタルディレイライン、4 はデジタルディレイライン 3 の遅延時間を設定するカウンタ、5 は入力クロックの位相とドライバ 9 から出力されたフィードバッククロックの位相を比較し、その位相差に応じてカウンタ 7 のカウンタ値を更新する位相比較器、6 は逡倍回路 1 により生成された逡倍クロックを遅延し、フィードバッククロックの位相を入力クロックの位相に一致させるとともに、遅延後の逡倍クロックを PLL 出力とする位相同期回路、7 は位相同期回路 6 のカウンタ、8 はカウンタ 7 のカウンタ値に対応する遅延時間が設定され、逡倍回路 1 により生成された逡倍クロックを遅延するデジタルディレイラインであり、デジタルディレイライン 8 は複数の delay 素子とデコードから構成される。9 は位相同期回路 6 から出力された PLL 出力をフィードバッククロックとして位相比較器 5 に出力するドライバ、1

0は位相同期回路6から出力されたPLL出力を各ブロックに供給するドライバである。

次に動作について説明する。

まず、クロック生成回路（以下、「PLL (Phase Locked Loop)」と称する）は、入力クロックに同期した同周期のクロック又は通倍クロックを生成する回路であり、最近のマイクロプロセッサは数十から数百MHzの非常に高速なクロックで動作するため、PLLの内蔵は必須となっている。

従来のPLLは、電圧制御発振器VCOの制御電圧を保持するキャパシタの電圧をチャージポンプを用いてコントロールすることにより、発振周波数を制御するアナログ型のPLLが採用されていた。

しかし、アナログ型のPLLは、低電圧の制御が困難であるとともに、ノイズに弱く、また、動作が安定するまでに要する時間（ロック時間）が長いため、一旦入力クロックが止まることによりPLLの発振が止まると、再び動作するまでに長時間を要する等の課題があった。

そこで、図10の従来例では、かかる課題を解決するため、デジタルディレイラインを用いてPLLを構成するようにしている。

具体的には、まず、PLLが入力クロックを受けると、通倍回路1のデジタルディレイライン3が、入力クロックの周波数を通倍して、各ブロックに供給する通倍クロックを生成するが（PLL出力）、その通倍クロックの位相を入力クロックの位相に一致させる必要があるため、位相比較器5及び位相同期回路6が下記に示す位相同期処理を実施する。

即ち、位相比較器5は、通倍回路1により生成された通倍クロックの位相とドライバ9から出力されたフィードバッククロック（PLL出力に相当）の位相を比較し、その位相差が許容範囲内にあるか否かを判断する。

そして、その位相差が許容範囲内にあれば、その通倍クロックの位相が入力クロックの位相に一致しているものと判断し、位相同期回路6におけるカウンタ7のカウント値を維持するが（位相同期回路6の遅延時間を維持する）、その位相差が許容範囲を逸脱している場合には、その通倍クロックの位相が入力クロックの位相に一致していないものと判断し、カウンタ7のカウント値を位相差に応じ

て更新し（カウンタ値をアップ又はダウンする）、位相同期回路6の遅延時間を調整する。

このようにして、カウンタ7のカウンタ値が設定されると、位相同期回路6のデジタルディレイライン8が、カウンタ7のカウンタ値に応じて通倍クロックを遅延して、遅延後の通倍クロックをPLL出力としてドライバ9、10に出力するが、デジタルディレイライン8は、図11に示すように、最終的にはフィードバッククロックの立ち上がりエッジと入力クロックの立ち上がりエッジを一致させるため、入力クロックの立ち上がりエッジからみて、1つ前の通倍クロックの立ち上がりエッジを遅延させるようにしている。

従って、デジタルディレイライン8の最大遅延時間は、通倍クロックの一周期分の時間に相当し、リングオシレータ2を構成する通倍回路1のデジタルディレイライン3の最大遅延時間は、通倍クロックの半周期分の時間に相当する。

ただし、デジタルディレイライン8の最大遅延時間は、通倍クロックの周期に依存するが、例えば、消費電力を低減するため、通倍数が1のPLL出力を生成する場合（入力クロックの周期とPLL出力の周期が同一の場合）、デジタルディレイライン8の最大遅延時間は、PLL出力の一周期分の時間に相当し、デジタルディレイライン8のdelay素子数は、通倍数が4の場合に比べて4倍になる。

#### 【発明が解決しようとする課題】

従来のクロック生成回路は以上のように構成されているので、通倍クロックの通倍数を小さくすると、その分だけデジタルディレイライン8の最大遅延時間を長くしなければならず、多数のdelay素子とデコーダを設置する必要が生じるが、delay素子とデコーダは占有面積が大きいので、通倍クロックの通倍数を小さくすると、回路規模が大きくなり、ひいてはチップのコストアップを招く課題があった。

また、通倍クロックの通倍数は固定的に使用されるため、一旦、チップを生成すると通倍数を容易に変更することができない課題もあった。

この発明は上記のような課題を解決するためになされたもので、delay素子等の増加を招くことなく、通倍数の小さなPLL出力を生成できる、いいかえ

れば、出力クロックの周波数を下げることができるクロック生成回路及びクロック生成方法を得ることを目的とする。

また、この発明は、出力クロックの周波数を必要に応じて変更することができるクロック生成回路及びクロック生成方法を得ることを目的とする。

【課題を解決するための手段】

本発明によれば、第1に、入力クロックの周波数を逡倍して、逡倍クロックを生成する逡倍手段と、上記入力クロックと分周クロックとの間の位相差を検出し、上記逡倍手段により生成された逡倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成する位相同期手段と、上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生成する分周手段とを備えたクロック生成回路が提供される。

ここで、上記分周手段は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであってもよい。

上記分周手段は、上記位相同期クロックを分周する分周回路と、この位相同期クロックに上記分周回路の遅延を付加する遅延付加手段とを備えてもよい。

上記分周手段は、上記分周回路により生成された分周クロック又は遅延付加手段により遅延が付加された位相同期クロックの何れか一方を上記分周手段の出力として選択する選択手段を有してもよい。

上記逡倍手段は、逡倍数切替信号にしたがって上記逡倍クロックの逡倍数を切り替えてもよい。

上記逡倍手段は、上記逡倍クロックを生成するリングオシレータと、上記逡倍クロックのパルス数をカウントするカウンタと、そのパルス数が逡倍数に一致すると、上記リングオシレータにおける逡倍クロックの生成処理を停止する停止回路とを具備してもよい。

$n$ 、 $m$ を1より大きい自然数として、上記逡倍手段は $n$ 逡倍クロックを生成し、上記分周手段は $n$ 逡倍クロックを $m$ 分周してもよい。

上記リングオシレータは、ゲート電圧が変化すると電流が変化するトランジス

タから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

上記リングオシレータは、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

位相同期手段は、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

位相同期手段は、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

本発明によれば、第2に、(a) 入力クロックの周波数を逡倍して、逡倍クロックを生成するステップと、(b) 上記入力クロックと分周クロックとの間の位相差を検出し、上記逡倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成するステップと、(c) 上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生成するステップとを備えたクロック生成方法が提供される。

ここで、上記ステップ(c)は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであってもよい。

上記ステップ(a)は、逡倍数切替信号にしたがって上記逡倍クロックの逡倍数を切り替えてもよい。

#### 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

##### 実施の形態1.

図1はこの発明の実施の形態1によるクロック生成回路を示す構成図であり、図において、11は入力クロックの周波数を逡倍して、逡倍クロックを生成する逡倍部（逡倍手段）、12は逡倍部11により生成された逡倍クロックの位相を遅延して、フィードバッククロック（分周クロックに相当する）の位相を入力クロックの位相に一致させる位相同期部（位相同期手段）、13は位相同期部12から出力された位相同期クロックのうち、入力クロックが立ち下がる直前の位相

同期クロックを検出すると、その検出時点を基準にして位相同期クロックを分周するとともに、分周クロックまたは位相同期クロックをフィードバッククロックとして位相同期部12に出力する分周回路（分周手段）である。

また、14はセットリセット・フリップフロップ16からHレベルのDL-ACTが出力されると、入力クロックの立ち上がりエッジからみて3クロック目にパルスC3を出力し、4クロック目にパルスC4を出力するパルスカウンタ、15は逡倍数切替信号X3CNTがHレベルの場合には、パルスC3を選択して出力し、逡倍数切替信号X3CNTがLレベルの場合には、パルスC4を選択して出力する逡倍数切替回路、16は入力クロックの立ち上がりエッジを検出すると、DL-ACTの信号レベルをHレベルに遷移する一方、逡倍数切替回路15からパルスC3又はパルスC4が出力されると、DL-ACTの信号レベルをLレベルに遷移するセットリセット・フリップフロップ、17は入力クロックの立ち上がりエッジを検出すると、DL-STARTの信号レベルをHレベルに遷移する一方、LレベルのDL-OUTが出力されると、DL-STARTの信号レベルをLレベルに遷移するセットリセット・フリップフロップ、18はセットリセット・フリップフロップ16から出力されたDL-ACTを入力クロックの立ち上がりエッジに同期させるD-フリップフロップ、19はD-フリップフロップ18から出力されたDL-ACT又は外部リセットを入力すると、PLL-Resetを出力するORゲートである。

また、20は入力クロックを2分周して2分周クロックを生成する2分周回路、21は2分周回路20により生成された2分周クロックの位相とデジタルディレイライン27から出力されたDL-OUTの位相を比較し、その位相差が許容範囲を逸脱している場合には、アップ信号又はダウン信号を出力する位相比較器、22はORゲート19からPLL-Resetが出力されるとカウンタ値をゼロリセットし、位相比較器21からアップ信号又はダウン信号が出力されると、カウンタ値をインクリメント又はデクリメントするカウンタ、23はカウンタ22におけるカウンタ値の上位7bitをデコードし、96bitの制御信号を出力するデコーダ、24はカウンタ22におけるカウンタ値の下位3bitをデコードし、8bitの制御信号を出力するデコーダである。



また、25はANDゲート30から出力された通倍クロックを遅延する固定のdelay素子、26はデコーダ24から出力された制御信号にしたがって細かく通倍クロックを遅延するデジタルディレイライン、27はデコーダ23から出力された制御信号にしたがって粗く通倍クロックを遅延するデジタルディレイライン、29はDL-STARTがHレベルになると、デジタルディレイライン27から出力されたDL-OUTを強制的にHレベルに遷移するORゲート、30はDL-ACTがLレベルになると、リングオシレータを閉じるためDL-OUTを強制的にLレベルに遷移するANDゲート、31は位相比較器21が位相の一致を検出するとロック検出信号を出力し、ORゲート19からPLL-Resetが出力されるとロック検出信号の出力を中止するLock検出器である。

なお、delay素子25、デジタルディレイライン26、27、ORゲート29及びANDゲート30からリングオシレータが構成されている。

32は入力クロックの位相とドライバ43から出力されたフィードバッククロックの位相を比較し、その位相差が許容範囲を逸脱している場合には、アップ信号又はダウン信号を出力する位相比較器、33は位相比較器32からアップ信号又はダウン信号が出力されると、カウンタ値をインクリメント又はデクリメントするカウンタ、34はカウンタ33におけるカウンタ値の上位5bitをデコードし、32bitの制御信号を出力するデコーダ、35はカウンタ33におけるカウンタ値の下位3bitをデコードし、8bitの制御信号を出力するデコーダ、36はデコーダ35から出力された制御信号にしたがって細かく通倍クロックを遅延するデジタルディレイライン、37はデコーダ34から出力された制御信号にしたがって粗く通倍クロックを遅延するデジタルディレイラインである。

また、39は位相同期部12から出力された位相同期クロックのうち、一つおの入力クロックが立ち下がる直前の位相同期クロックを検出し、その位相同期クロックを検出すると、X1RSTを出力するシフトレジスタ、40はシフトレジスタ39からX1RSTが出力されると、その時点を基準にして位相同期クロックを4分周する4分周回路、41は位相同期部12から出力された位相同期クロックに4分周回路40の遅延を付加する固定のdelay素子（遅延付加手段）、42は通倍数切替信号X1CNTがHレベルの場合には、4分周回路40から出

- 10 -

力された4分周クロックをPLL出力として選択し、逡倍数切替信号X1CNTがLレベルの場合には、delay素子41から出力された位相同期クロックをPLL出力として選択するセクタ（選択手段）、43はセクタ42から出力されたPLL出力をフィードバッククロックとして位相比較器32に出力するドライバ、44はセクタ42から出力されたPLL出力を各ブロックに供給するドライバである。

なお、図3はこの発明の実施の形態1によるクロック生成方法を示すフローチャートである。

次に動作について説明する。

まず、逡倍数部11のパルスカウンタ14が、セトリセット・フリップフロップ16からHレベルのDL-ACTが出力されると、図4に示すように、DL-OUT信号の、入力クロックの立ち上がりエッジからみて3クロック目にパルスC3を出力し、4クロック目にパルスC4を出力する（ステップST1）。

そして、逡倍数切替回路15は、逡倍数切替信号X3CNTがHレベルの場合には、入力クロックの周波数を3逡倍するため、パルスC4を受けても出力せず、パルスC3を選択して出力する。一方、逡倍数切替信号X3CNTがLレベルの場合には、入力クロックの周波数を4逡倍するため、パルスC3を受けても出力せず、パルスC4を選択して出力する。

そして、セトリセット・フリップフロップ16は、入力クロックの立ち上がりエッジを検出すると、逡倍クロックの発振を開始するため、DL-ACTの信号レベルをHレベルに遷移する一方、逡倍数切替回路15からパルスC3又はパルスC4が出力されると、設定された逡倍数が確保されたため、DL-ACTの信号レベルをLレベルに遷移する。

これにより、ANDゲート30は、DL-ACTがLレベルになると、リングオシレータを閉じるため、図4に示すように、DL-OUT（逡倍クロック）を強制的にLレベルに遷移する（ステップST2）。

なお、セトリセット・フリップフロップ17は、逡倍クロックが必要以上に遅延された場合には、DL-OUTを強制的にHレベルに遷移する。

一方、2分周回路20が入力クロックを2分周して2分周クロックを生成する

と、ANDゲート30から出力される通倍クロックの位相を2分周クロックの位相に一致させるため、位相比較器21は、2分周クロックの位相と通倍クロックの位相を比較し、その位相差が許容範囲内にあるか否かを判断する（ステップST3）。

そして、位相比較器21は、その位相差が許容範囲内にあれば、その通倍クロックの位相が2分周クロックの位相に一致しているものと判断し、ロック検出信号をLock検出器31に出力するとともに、カウンタ22のカウント値を維持する（リングオシレータの遅延時間を維持する）。

なお、ロック検出信号が出力されても、温度その他の影響で、位相差が生じた場合には、後述する位相差が許容範囲を逸脱する場合と同様にして、位相差を解消する処理を実施する。ただし、ロック検出信号が出力されると、ORゲート19からPLL-Resetが出力されない限り、出力が停止されることはない。

一方、その位相差が許容範囲を逸脱している場合には、その通倍クロックの位相が2分周クロックの位相に一致していないものと判断し、アップ信号又はダウン信号をカウンタ22に出力してカウント値を更新する（ステップST4）。

これにより、位相比較器21からアップ信号が出力されたときは、カウンタ22のカウント値が1インクリメントされ、ダウン信号が出力されたときは、カウンタ22のカウント値が1デクリメントされる。

そして、デコーダ23は、その通倍クロックの位相を大まかに2分周クロックの位相に近づけるため、カウンタ22におけるカウント値の上位7bitをデコードし、96bitの制御信号を出力する。

一方、デコーダ24は、その位相差をできる限り零に近づけるため、カウンタ22におけるカウント値の下位3bitをデコードし、8bitの制御信号を出力する。

このようにして、デコーダ24から8bitの制御信号が出力されると、デジタルディレイライン26は、デコーダ24から出力された8bitの制御信号にしたがって細かく通倍クロックを遅延する（ステップST5）。図5に示すように、デジタルディレイライン26は、遅延時間が僅かに異なるdelay素子が8個並列に接続されており、遅延時間を細かく調整することができる。

一方、デコーダ23から96bitの制御信号が出力されると、デジタルディレイライン27は、デコーダ23から出力された96bitの制御信号にしたがって粗く逡倍クロックを遅延する（ステップST5）。図5に示すように、デジタルディレイライン27は、遅延時間 $\Delta D$ のdelay素子が96個直列接続されており、カウンタ値により選択されたdelay素子から逡倍クロックがデジタルディレイライン27に取り込まれる。従って、入力位置を変えることで、デジタルディレイライン27の遅延時間を96段階に調整することができる。

なお、カウンタ22の初期値は1（最小遅延時間）に設定され、カウンタ値は入力クロックの2分周毎に1ずつ加算される。これにより、図4に示すように、デジタルディレイライン26、27による遅延時間が最小遅延時間から徐々に大きくなり、入力クロックの立ち上がりエッジと逡倍クロックの立ち上がりエッジの位相があったところでカウンタ値が固定される。

また、リングオシレータの最大遅延時間は、逡倍クロックの半周期分であるので、逡倍数を大きくし、逡倍クロックの周期を短くすると、delay素子数を抑制することができる。

そして、位相同期部12はLock検出器31からロック検出信号が出力されると動作を開始するが、ドライバ43から出力されるフィードバッククロックの位相を入力クロックの位相に一致させるため、まず、位相比較器32は、入力クロックとフィードバッククロックの位相を比較し、その位相差が許容範囲内にあるか否かを判断する（ステップST6）。

そして、位相比較器32は、その位相差が許容範囲内であれば、そのフィードバッククロックの位相が入力クロックの位相に一致しているものと判断し、カウンタ33のカウンタ値を維持する（デジタルディレイライン36、37の遅延時間を維持する）。

一方、その位相差が許容範囲を逸脱している場合には、そのフィードバッククロックの位相が入力クロックの位相に一致していないものと判断し、アップ信号又はダウン信号をカウンタ33に出力してカウンタ値を更新する（ステップST7）。

これにより、位相比較器32からアップ信号が出力されたときは、カウンタ3

3のカウンタ値が1インクリメントされ、ダウン信号が出力されたときは、カウンタ33のカウンタ値が1デクリメントされる。

ただし、カウンタ33の初期値には、ロック検出信号が出力された時点のカウンタ22のカウンタ値に基づいて所定の演算を実施した結果を採用する。

そして、デコーダ34は、そのフィードバッククロックの位相を大まかに入力クロックの位相に近づけるため、カウンタ33におけるカウンタ値の上位5bitをデコードし、32bitの制御信号を出力する。

一方、デコーダ35は、その位相差をできる限り零に近づけるため、カウンタ33におけるカウンタ値の下位3bitをデコードし、8bitの制御信号を出力する。

このようにして、デコーダ35から8bitの制御信号が出力されると、デジタルディレイライン36は、デコーダ35から出力された8bitの制御信号にしたがって細かく通倍クロックを遅延する(ステップST8)。デジタルディレイライン36の構成はデジタルディレイライン26と同様であるため説明を省略する。

一方、デコーダ34から32bitの制御信号が出力されると、デジタルディレイライン37は、デコーダ34から出力された32bitの制御信号にしたがって粗く通倍クロックを遅延する(ステップST8)。デジタルディレイライン37の構成はデジタルディレイライン27と同様であるため説明を省略するが、delay素子の段数は異なる。

なお、通倍部11におけるリングオシレータの最大遅延時間は、上述したように、通倍クロックの半周期分であるが、デジタルディレイライン36、37の最大遅延時間は、通倍クロックの一周分分の時間を必要とするため、リングオシレータのデジタルディレイライン26、27を構成するdelay素子と同じdelay素子を用いてデジタルディレイライン36、37を構成すると、通倍部11の2倍のdelay素子が必要となる。

そこで、デジタルディレイライン36、37のdelay素子の遅延時間が、デジタルディレイライン26、27のdelay素子の遅延時間より大きくなるように調整するようにしている。

遅延時間を大きくする方法としては、図 8 に示すように、トランジスタのゲート長を長くしたり、ゲート幅を短くする方法の他に、図 6 に示すように、N c h CMOS のトランジスタを用いる場合、図内の N c h CMOS のゲート電圧を調節して電流を変化させることにより、遅延時間を制御する。

また、図 7 に示すように、N c h CMOS のトランジスタを用いる場合、図内の N c h CMOS のバックゲート電圧を調節して電流を変化させることにより、遅延時間を制御する。

そして、分周回路 13 は、位相同期部 12 から出力された位相同期クロックを分周するとともに、PLL 出力の位相を入力クロックの位相に一致させるため、まず、シフトレジスタ 39 は、図 9 の (b)、(d)、(e) に示すように、位相同期部 12 から出力された位相同期クロックのうち、一つおきの入力クロックが立ち下がる直前の位相同期クロックの立ち上がりエッジで X1 R S T の反転信号のレベルを H レベルにするため (ステップ S T 9)、位相同期クロックの立ち上がりエッジを検出すると、図 2 に示すように、2 分周クロックを逐次次段のフリップフロップに出力するフリップフロップ群に入力する。

そして、4 分周回路 40 は、シフトレジスタ 39 から X1 R S T の反転信号が出力されると、図 9 の (e)、(f) に示すように、X1 R S T の反転信号の立ち上がりエッジを基準にして位相同期クロックを 4 分周し、分周クロックを生成する (ステップ S T 10)。

そして、セクタ 42 は、通倍数切替信号 X1 C N T が H レベルで 4 分周を示す場合には、4 分周回路 40 から出力された分周クロックを PLL 出力として選択し、通倍数切替信号 X1 C N T が L レベルの場合には、delay 素子 41 から出力された位相同期クロック (delay 素子 41 は、位相同期クロックと分周クロックの位相を合わせるため、位相同期クロックに 4 分周回路 40 の遅延を付加する) を PLL 出力として選択する (ステップ S T 11)。

そして、セクタ 42 から出力された PLL 出力は、ドライバ 44 を介して各ブロックに供給される一方、フィードバッククロックとして位相比較器 32 に出力される。

以上で明らかなように、この実施の形態 1 によれば、位相同期部 12 から出力

された位相同期クロックのうち、一つおきの入力クロックが立ち下がる直前の位相同期クロックを検出すると、その検出時点を基準にして位相同期クロックを分周するように構成したので、フィードバッククロック（分周クロック）と入力クロックの位相差が遅倍クロックの一周期を越えずに済むようになり、その結果、delay素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成する（すなわち、出力クロックの周波数を下げる）ことができる効果を奏する。

#### 実施の形態2.

上記実施の形態1では、入力クロックと同周期のPLL出力を生成するため、位相同期クロックを4分周するものについて示したが、これに限るものではなく、例えば、同様の方法でn遅倍クロックを生成して、m分周するようにすれば、 $n/m$ 遅倍のPLL出力を得ることができる。

なお、4分周回路40をm分周回路に置換すれば、位相同期部12のデジタルディレイライン36、37の長さは、PLL出力の周期の $1/m$ に収まる。

#### 【発明の効果】

以上のように、この発明によれば、位相同期手段により位相が遅延された遅倍クロックのうち、特定の遅倍クロックを検出すると、その検出時点を基準にして遅倍クロックを分周するように構成したので、分周クロックと入力クロックの位相差が遅倍クロックの一周期を越えずに済むようになり、その結果、delay素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成することができる効果がある。

この発明によれば、位相同期手段により位相が遅延された遅倍クロックのうち、特定の遅倍クロックを検出すると、その検出時点を基準にして遅倍クロックを分周するとともに、位相同期手段により位相が遅延された遅倍クロックに分周手段の遅延を付加するように構成したので、delay素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成することができるとともに、遅倍クロックをPLL出力として出力することができるようになる効果がある。

この発明によれば、分周手段により生成された分周クロック又は遅延付加手段により遅延が付加された遅倍クロックの何れか一方をPLL出力として選択するように構成したので、必要に応じてPLL出力の遅倍数を変更することができる

効果がある。

この発明によれば、通倍数切替信号にしたがって通倍数を切り替えるように構成したので、必要に応じてPLL出力の通倍数を変更することができる効果がある。

この発明によれば、通倍クロックのパルス数をカウントし、そのパルス数が通倍数に一致すると、リングオシレータにおける通倍クロックの生成処理を停止するように構成したので、入力クロックから通倍クロックを生成することができる効果がある。

この発明によれば、 $n$ 通倍クロックを生成して、 $n$ 通倍クロックを $m$ 分周するように構成したので、 $n/m$ 通倍のPLL出力を得ることができる効果がある。

この発明によれば、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、リングオシレータの遅延時間を容易に調整することができる効果がある。

この発明によれば、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、リングオシレータの遅延時間を容易に調整することができる効果がある。

この発明によれば、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、位相同期手段の遅延時間を容易に調整することができる効果がある。

この発明によれば、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、位相同期手段の遅延時間を容易に調整することができる効果がある。

この発明によれば、位相を遅延した通倍クロックのうち、特定の通倍クロックを検出すると、その検出時点を基準にして通倍クロックを分周するように構成したので、分周クロックと入力クロックの位相差が通倍クロックの一周期を越えずに済むようになり、その結果、delay素子等の増加を招くことなく、通倍数の小さなPLL出力を生成することができる効果がある。

この発明によれば、位相を遅延した通倍クロックのうち、特定の通倍クロック



を検出すると、その検出時点を基準にして逡倍クロックを分周するとともに、その位相を遅延した逡倍クロックに分周処理の遅延を付加するように構成したので、delay素子等の増加を招くことなく、逡倍数の小さなPLL出力を生成することができるとともに、逡倍クロックをPLL出力として出力することができるようになる効果がある。

この発明によれば、逡倍数切替信号にしたがって逡倍数を切り替えるように構成したので、必要に応じてPLL出力の逡倍数を変更することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるクロック生成回路を示す構成図である。

【図2】 実施の形態1の分周回路13の詳細構成を示す構成図である。

【図3】 この発明の実施の形態1によるクロック生成方法を示すフローチャートである。

【図4】 実施の形態1の逡倍部11の各種信号のタイミングチャートである。

【図5】 実施の形態1のデジタルディレイライン26および27の詳細構成を示す構成図である。

【図6】 実施の形態1のdelay素子の詳細構成を示す構成図である。

【図7】 実施の形態1のdelay素子の詳細構成を示す構成図である。

【図8】 実施の形態1のdelay素子の詳細構成を示す構成図である。

【図9】 実施の形態1の全体動作を示すタイミングチャートである。

【図10】 従来のクロック生成回路を示す構成図である。

【図11】 各種信号のタイミングチャートである。

【符号の説明】

11 逡倍部（逡倍手段）、12 位相同期部（位相同期手段）、13 分周回路（分周手段）、41 delay素子（遅延付加手段）、42 セレクタ（選択手段）。

## 【書類名】 要約書

## 【要約】

【課題】 逡倍クロックの逡倍数を小さくすると、その分だけデジタルディレイライン 8 の最大逡延時間を長くしなければならず、多数の delay 素子とデコードを設置する必要が生じるが、delay 素子とデコードは占有面積が大きいため、逡倍クロックの逡倍数を小さくすると、回路規模が大きくなり、ひいてはチップのコストアップを招く課題があった。

【解決手段】 逡倍手段 (11) と、位相同期手段 (12) と、分周手段 (13) とを備えたクロック生成回路。逡倍手段 (11) は、入力クロックの周波数を逡倍して、逡倍クロックを生成する。位相同期手段 (12) は、入力クロックと分周クロックとの間の位相差を検出し、逡倍手段により生成された逡倍クロックの位相を位相差に対応する分量だけ逡延して、位相が入力クロックの位相に一致する位相同期クロックを生成する。分周手段 (13) は、位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして位相同期クロックを分周し、分周クロックを生成する。特に、分周手段 (13) は、入力パルスの立ち下がりエッジの直前の位相同期パルスを特定のパルスとして検出し、それを基準として位相同期クロックを分周する。これによって、入力クロックと位相同期クロックとの位相差を小さくでき、デジタルディレイライン 8 の最大逡延時間を短くできる。

【選択図】 図 1

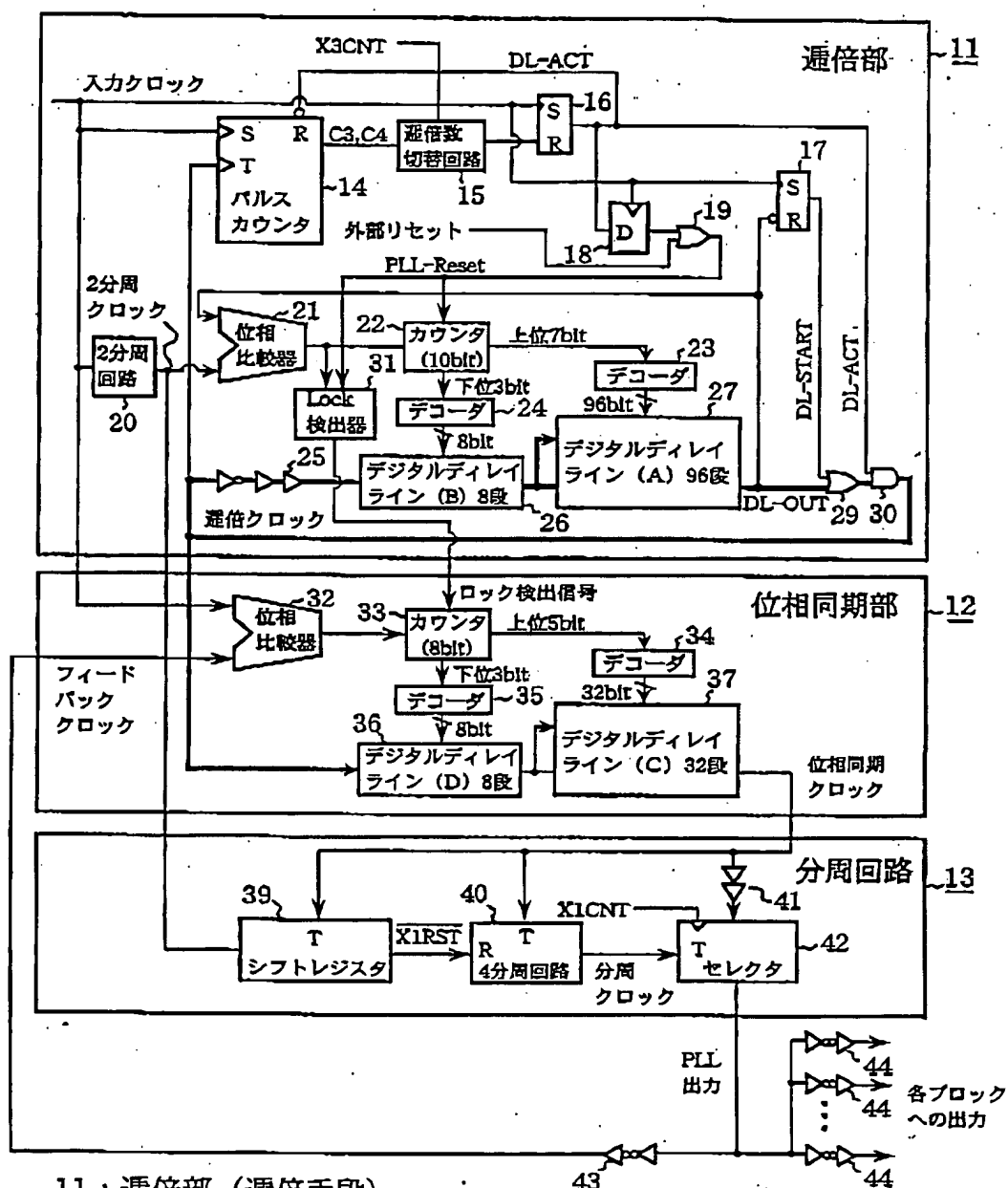
整理番号 50873401

ページ ( 1 / 10 )

87117701

【書類名】 図面

【図 1】



11 : 通倍部 (通倍手段)

12 : 位相同期部 (位相同期手段)

13 : 分周回路 (分周手段)

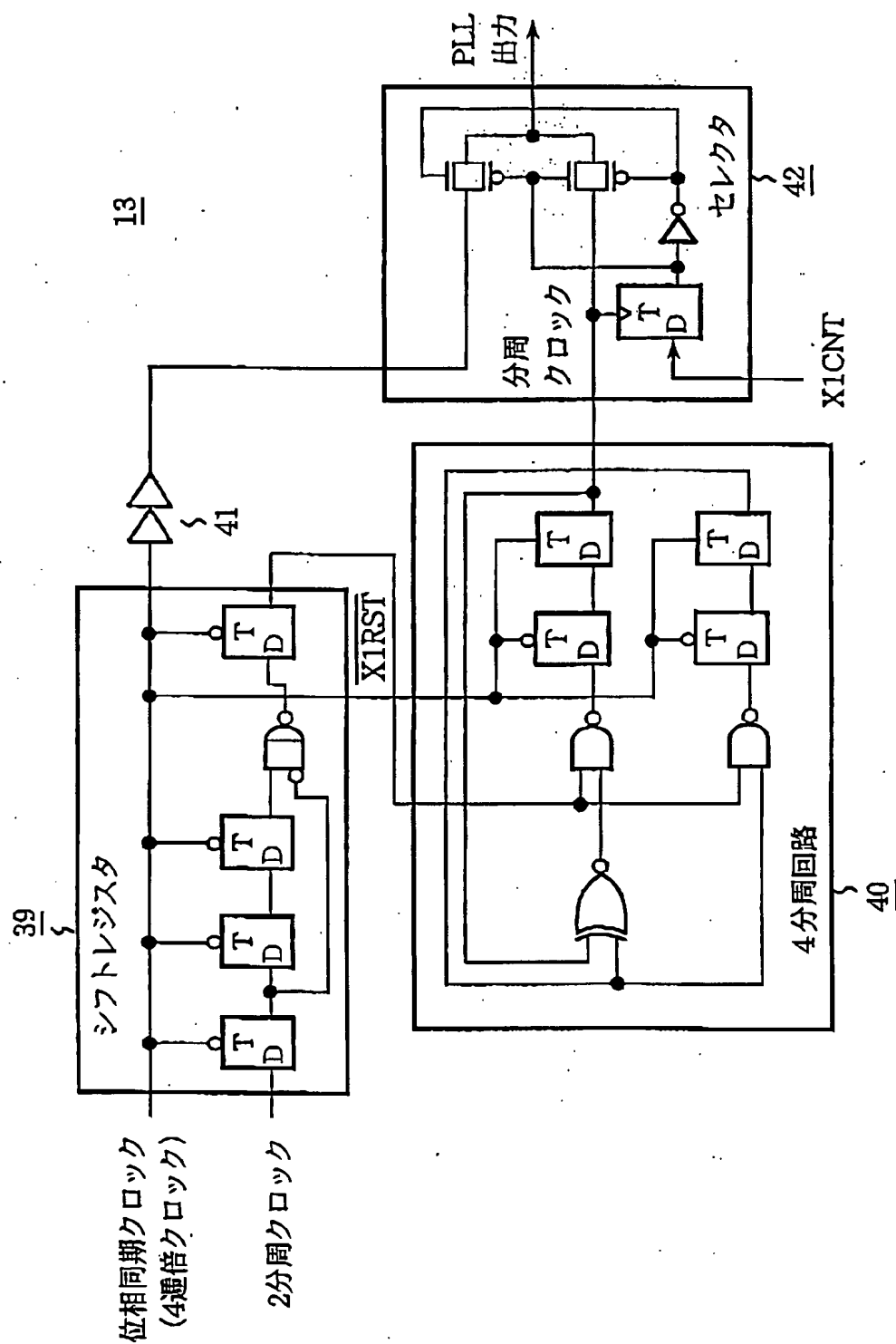
41 : delay素子 (遅延付加手段)

42 : セレクタ (選択手段)

整理番号 50873401

ページ(2 / 10)

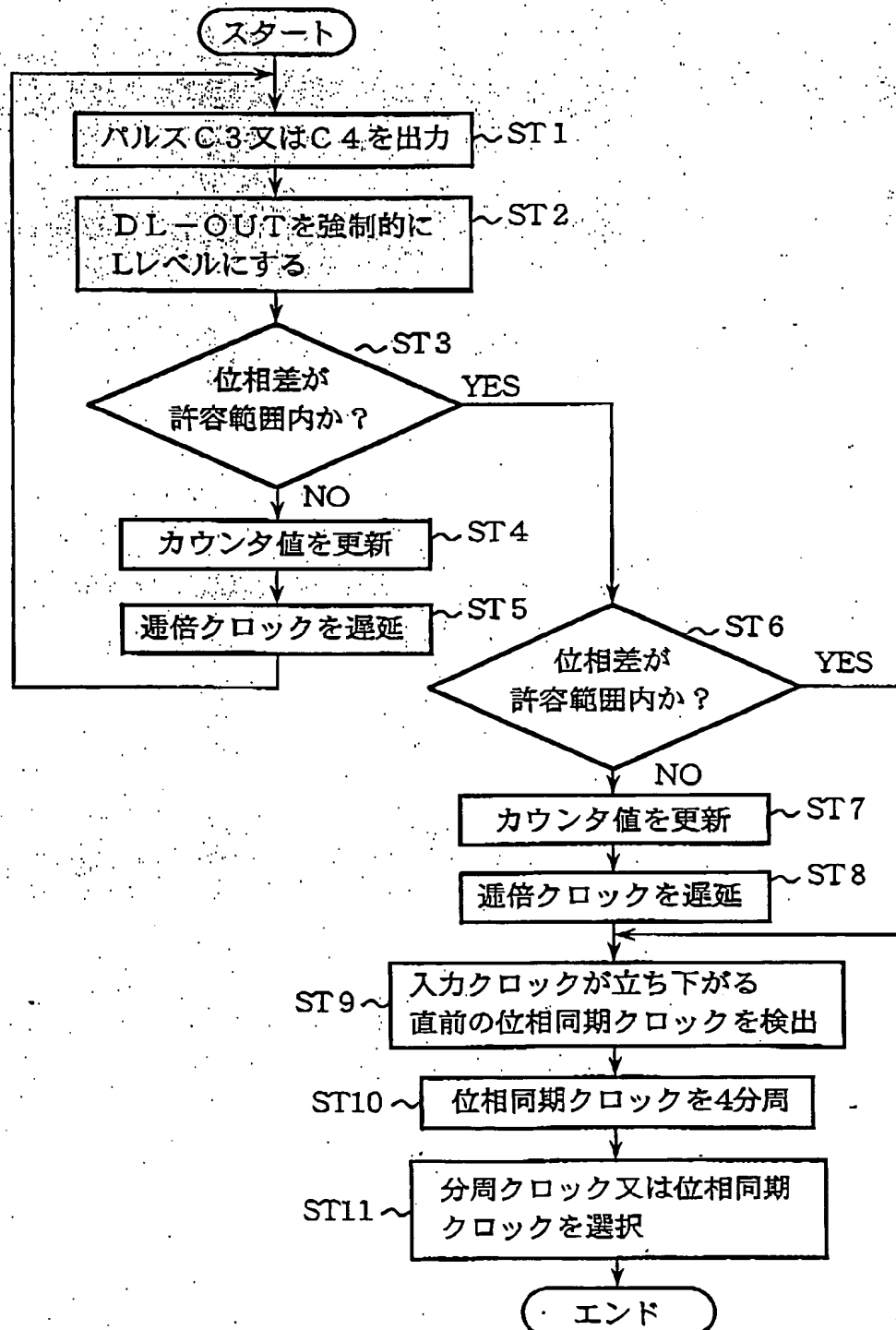
【図 2】



整理番号 50873401

ページ(3 / 10)

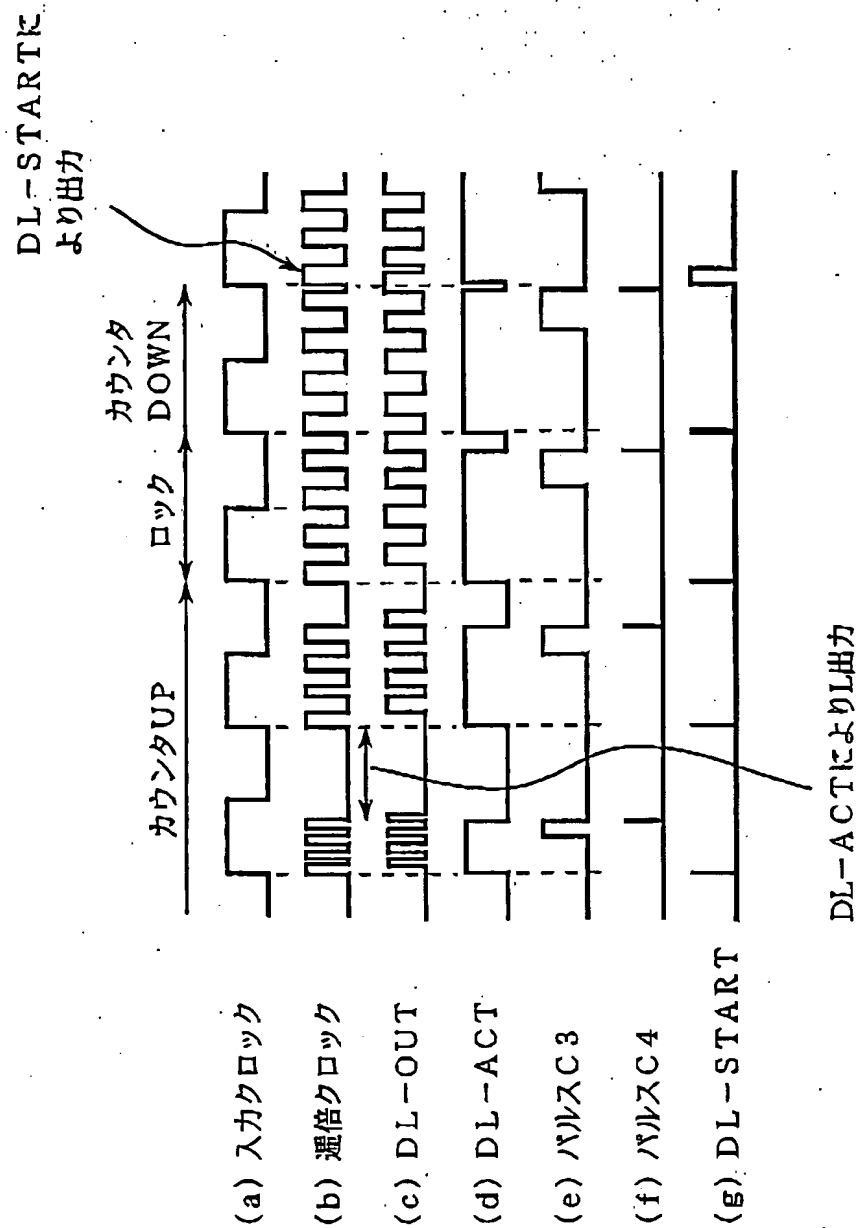
【図 3】



整理番号 50873401

ページ ( 4 / 10 )

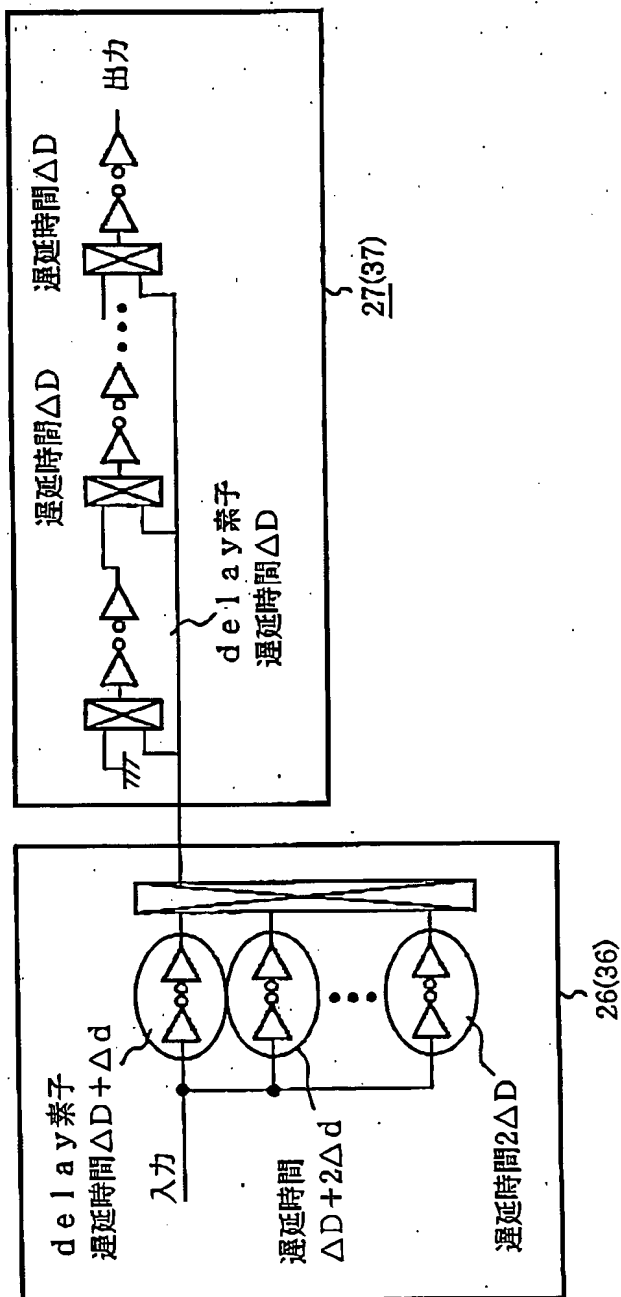
【図 4】



整理番号 50873401

ページ ( 5 / 10 )

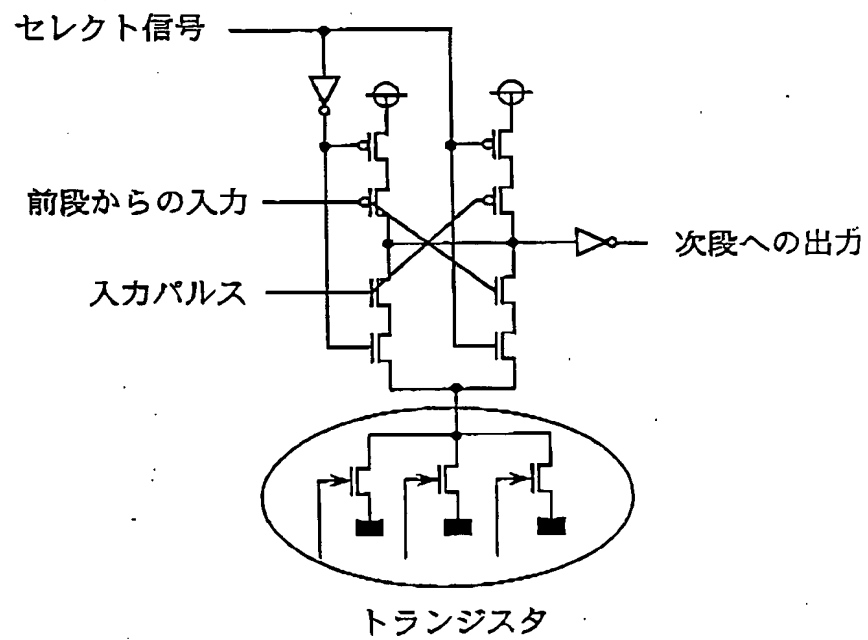
【図 5】



整理番号 50873401

ページ ( 6 / 10 )

【図 6】

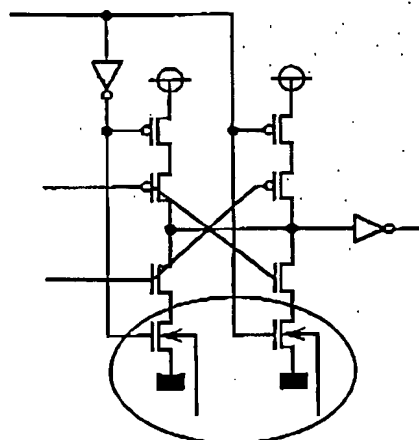




整理番号 50873401

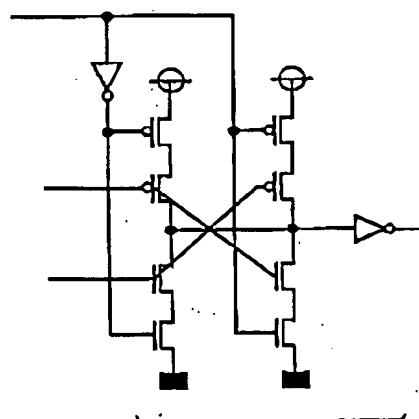
ページ ( 7 / 10 )

【図 7】



トランジスタ

【図 8】

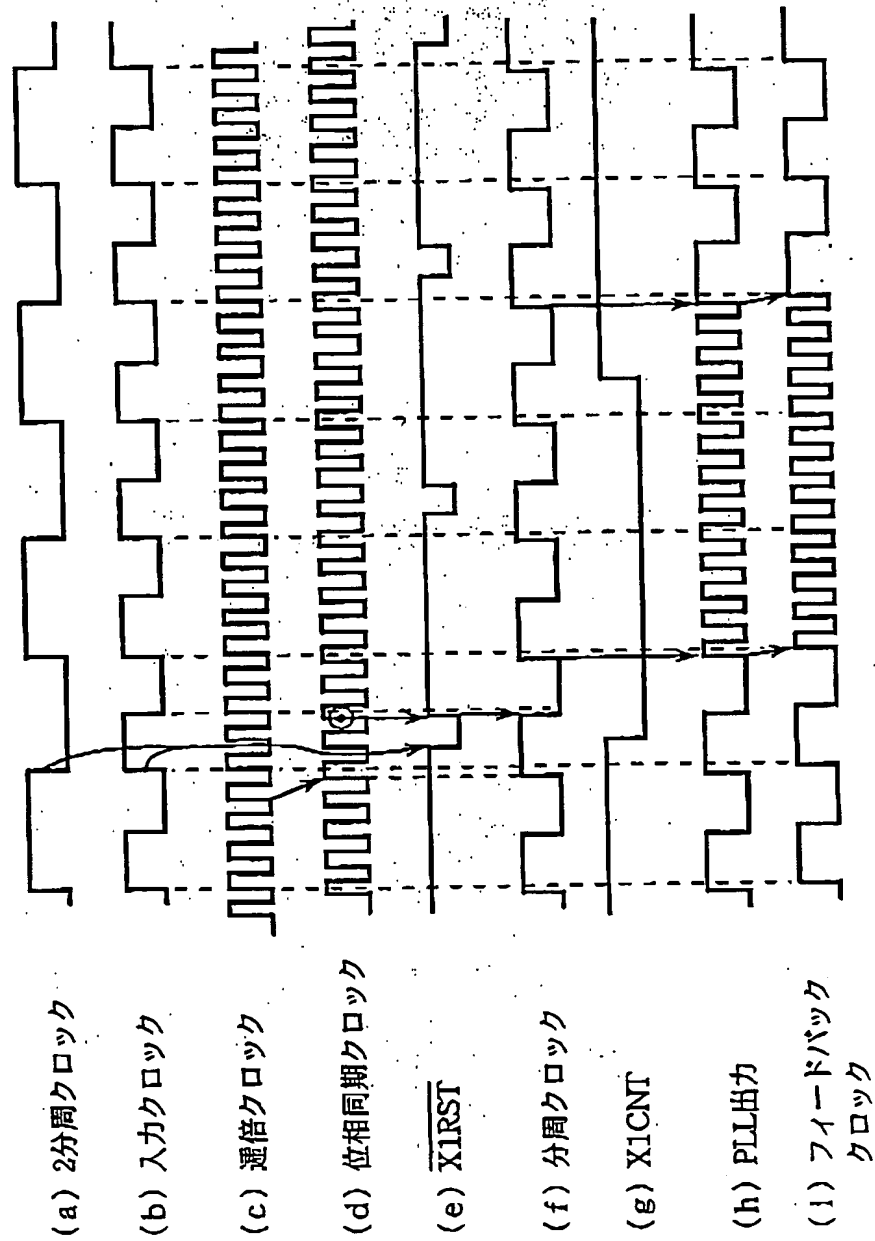


ゲート長の長い  
またはゲート幅の  
短いトランジスタ

整理番号 50873401

ページ ( 8 / 10 )

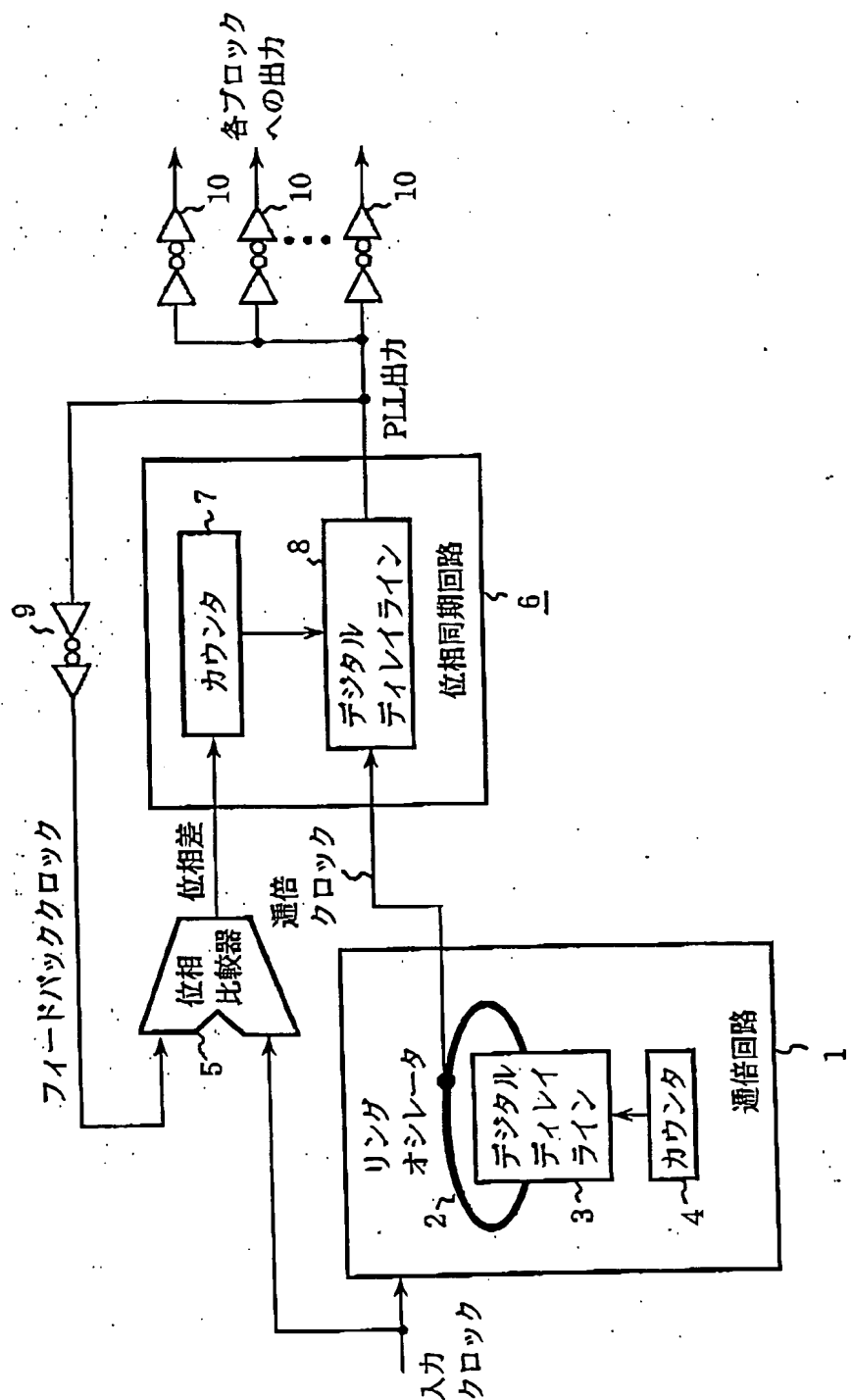
【図 9】



整理番号 50873401

ページ(9 / 10)

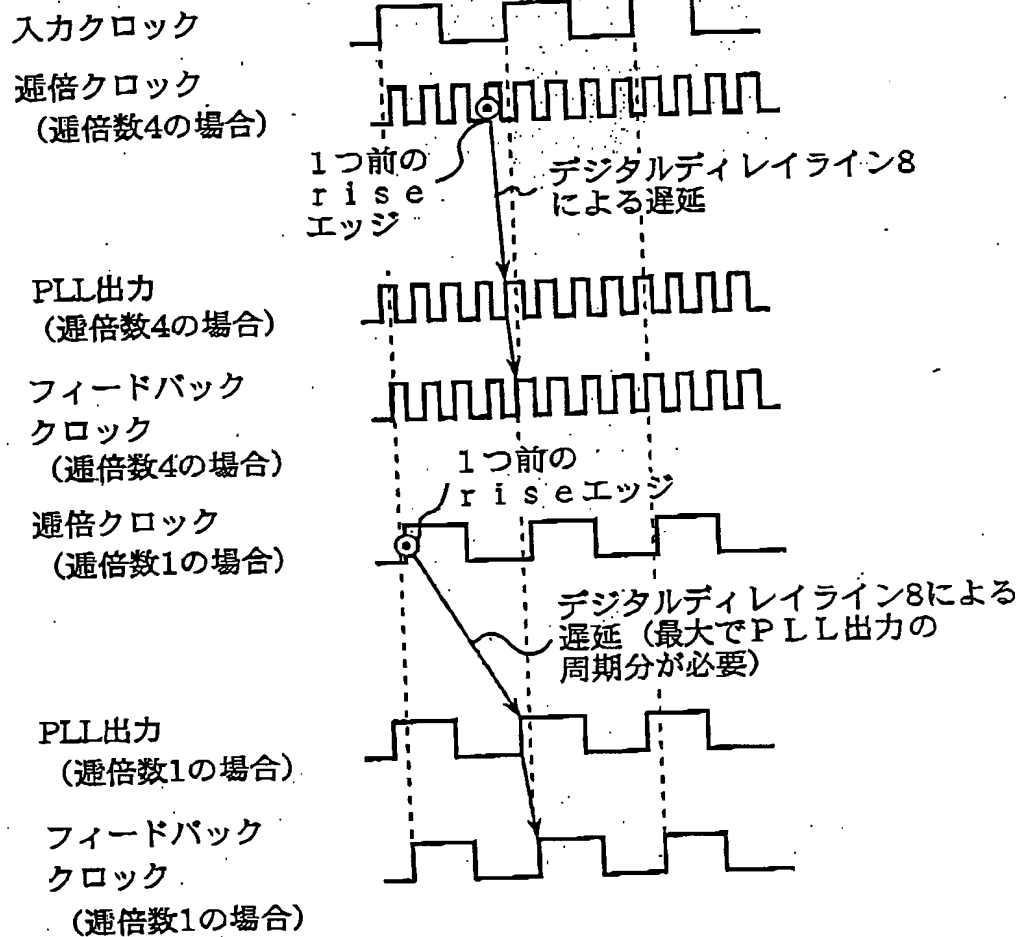
【図 10】



整理番号 50873401

ページ ( 10 / 10 )

【図 11】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**